

Cite No. 2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209752

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H03B 5/12

(21)Application number : 09-024288

(71)Applicant : NEW JAPAN RADIO CO LTD

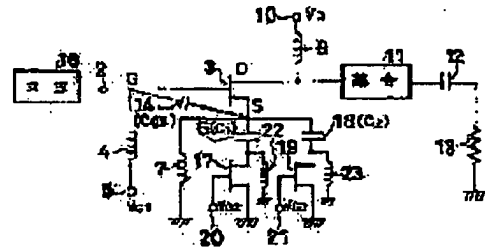
(22)Date of filing : 22.01.1997

(72)Inventor : KIMIJIMA MASAYUKI

(54) OSCILLATION CIRCUIT CONFIGURED AS MICROWAVE INTEGRATED CIRCUIT**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain an optimum oscillating state at a selected frequency, even when a resonance frequency of a resonance circuit is selected over a wide frequency range.

SOLUTION: An externally mounted terminal 2 is placed to a gate of a control FET 3, and a resonance circuit 16 is connected to the terminal 2. A series connection circuit of a 1st feedback capacitor 6(C1) and a 1st switch FET 17, and a series connection circuit of a 2nd feedback capacitor (C2)18 and a 2nd switch FET 19 are connected in parallel between a source of the FET 3 and a ground. Thus, the switching FETs 17, 19 are turned on/off with gate control voltages VG2, VG3 to change, e.g. the feedback capacitance values to be 3 types and the oscillating state optimal for the 3 kinds of resonance frequencies is obtained. Furthermore, number of feedback capacitors and switch FETs is arbitrary.

**LEGAL STATUS**

[Date of request for examination] 09.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-208752

(43) 公開日 平成10年(1998)8月7日

(51) Int. Cl.⁴

H08B 5/12

優先権番号

P I

H08B 5/12

E

特許請求 宗請求 請求項の数 1 FD (全 5 頁)

(21) 出願番号 特願平9-24203

(22) 出願日 平成9年(1997)1月22日

(71) 出願人 000191298

新日本無線株式会社

東京都中央区日本橋蛸山町8番10号

(72) 発明者 岩島 正幸

埼玉県上尾市高岡二丁目1番1号 新日

本無線株式会社川越製作所内

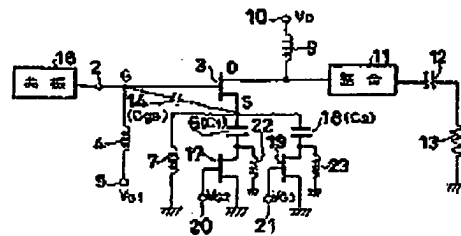
(73) 代理人 弁理士 諸方 保人

(54) 【発明の名称】 マイクロ波共振回路化共振回路

(57) 【要約】

【課題】 共振回路の共振周波数を広い周波数範囲で選択する場合でも、選択した周波数で最適な共振状態が得られるようにする。

【解決手段】 共振用FET3のゲートには、外付け用端子2が配置され、この端子2に共振回路16が接続される。このFET3のソースと接続との間に、第1場効果容量(C1)と第1スイッチ用FET17を直列に接続したもの、第2場効果容量(C2)18と第2スイッチ用FET19を直列に接続したものを、並列に接続する。これによれば、これらスイッチ用FET17、19をゲート制御電圧VQ2、VG3でオンオフさせることにより、例えば場効果容量値を3種類に変化させ、3種類の共振周波数に最適な共振状態を得ることができる。なお、上記場効果容量及びスイッチ用FETの数は任意である。



(2)

特開平10-209752

1

2

【特許請求の範囲】

【請求項1】 共振回路が接続される共振用電界効果トランジスタと、

この電界効果トランジスタのソース側又はドレイン側に配置される帰還容量と、を形成するマイクロ波共振回路化共振回路において、上記共振用電界効果トランジスタのドレイン側又はソース側に、このドレイン・ソース間を導通又は非導通として上記帰還容量値を変化させるためのスイッチ用トランジスタを配置したことを特徴とするマイクロ波共振回路化共振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマイクロ波共振回路化共振回路、特に共振回路が外付けとされるマイクロ波モノリシックIC(MMIC)化された共振回路であって、広い範囲で異なる周波数を選択する共振回路が接続可能となるマイクロ波共振回路化共振回路に関する。

【0002】

【従来の技術】 マイクロ波共振回路化(Microwave IC)共振回路として、例えばMMIC(Microwave Monolithic IC)共振回路があり、この回路はガリウム砒素(GaAs)チップ上に共振回路を集積回路化したものである。

【0003】 図5には、従来のMMIC化共振回路の一例が示されており、図において、共振周波数 f_0 の共振回路1は端子2を介して外付けされ、共振用FET3のゲート(G)に接続される。このFET3のゲートには、チャックコイル4を介してゲートバイアス端子5が配置され、このゲートバイアス端子5からゲートバイアスVGが供給される。また、このFET3のソース(S)には、容量値C1の帰還容量6が帰還との間に接続されると共に、チャックコイル7が接地との間に接続される。

【0004】 一方、上記FET3のドレイン(D)に、チャックコイル9を介してドレインバイアス端子10が配置され、このドレインバイアス端子10からドレインバイアスVDが供給される。また、このドレインには、整合回路11及び直流防止用キャパシタ12を介して負荷抵抗13が接続される。

【0005】 上記の構成によれば、図6で示すコルピッツの共振回路が形成される。即ち、所望のマイクロ波帯の共振周波数帯において十分な共振能力を持つように、上記FET3のゲート幅(W1)が決定されるが、このゲート幅にはば比例してゲート・ソース間に図5に示す容量値C_{gs}の内部容量14が与えられる。従って、図6に示されるように、上記内部容量(C_{gs})14と帰還容量(C1)6とを含んでコルピッツ共振回路が構成される。そして、この共振回路は、外付けされる共振回路1で得られる共振周波数 f_0 で共振することにな

る。

【0006】

【発明が解決しようとする課題】 しかしながら、上記従来のMMIC化共振回路では、共振回路1の共振周波数を広い範囲で選択可能とした場合には、上記帰還容量6の容量値C1が固定値であるため、最適な共振状態が得られないという問題があった。即ち、上述したように、上記共振用FET3のゲート幅(W1)で決定される内部容量(C_{gs})14との兼ね合いから、共振周波数 f_0 をその上下の帯域において広い範囲で任意に選択する場合には、これに合わせて上記帰還容量6の容量値を増減する必要がある。

【0007】 例えば、共振周波数を上記 f_0 より低くした場合は、上記帰還容量6の容量値を大きくし、逆に上記 f_0 より高くした場合は、容量値を小さくし、それぞれの共振周波数において最適な共振状態となるように、帰還容量6の容量値を変化させなければならない。従って、固定の容量値C1となる帰還容量6では、最適な共振周波数を広い範囲で得ることは困難であった。

【0008】 本発明は、上記問題点を解決するためになされたもので、その目的は、共振回路の共振周波数を広い周波数範囲で選択する場合でも、選択した周波数で最適な共振状態を得ることができるマイクロ波共振回路化共振回路を提供することにある。

【0009】

【課題を解決するための手段】 上記目的を達成するために、本発明は、共振回路が接続される共振用電界効果トランジスタと、この電界効果トランジスタのソース側又はドレイン側に配置される帰還容量と、を形成するマイクロ波共振回路化共振回路において、上記共振用電界効果トランジスタのドレイン側又はソース側に、このドレイン・ソース間を導通又は非導通として上記帰還容量値を変化させるためのスイッチ用トランジスタを配置したことを特徴とする。

【0010】 上記の構成によれば、例えば帰還容量を2つ形成し、これらの帰還容量が切り替えられるようにスイッチングFETを2個配置することにより、帰還容量として3つの容量値を選択することができる。従って、外付け等で接続される共振回路で広い周波数範囲を用いた場合でも、選択された周波数に最適な共振状態を得ることが可能となる。

【0011】

【発明の実施の形態】 図1には、本発明の実施形態の第1例であるマイクロ波共振回路(MMIC)化共振回路の構成が示されており、この第1例は2つの帰還容量を選択的に使用できるようにしたものである。図1において、従来の同様に、外付け用端子2に、例えば共振回路16が接続されるように構成され、この端子2は共振用FET3のゲート(G)に接続される。このFET3のゲートには、チャックコイル4を介して、ゲートバイア

(3)

特開平10-209752

スV_{G2}を与えるゲートバイアス端子9が配置され、このFET3のソースには、チャックコイル7が接地との間に接続される。

【0012】一方、上記FET3のドレイン(D)には、チャックコイル9を介して、ドレインバイアスV_Dを供給するドレインバイアス端子10が配置され、かつ整合回路11及び直流防止用キャパシタ12を介して負荷抵抗13が接続される。また、上記FET3のゲート極(W1)にはばらばらして、そのゲート・ソース間に容量値C₀₅の内部容量14が与えられている。

【0013】そうして、第1例では、上記FET3のソース(S)と接地との間に、容量値C₁の第1増速容量6と第1スイッチ用FET17を直列に接続したものを、並列に配置する。即ち、上記スイッチ用FET17、19のドレイン側に増速容量6、18を配置してソース側を接地し、上記第1スイッチ用FET17のゲートにゲート制御電圧V_{G2}を供給するゲート制御電圧端子20が接続され、上記第2スイッチ用FET19のゲートにゲート制御電圧V_{G3}を供給するゲート制御電圧端子21が接続される。

【0014】また、上記各スイッチ用FET17、19のそれぞれのドレインと接地の間に、図示のように、チャックコイル22、23が配置される。

【0015】上記のスイッチ用FET17、19では、それぞれのゲート制御電圧端子20、21から、オン電圧V_{on}のゲート制御電圧V_{G2}、V_{G3}を供給することにより、導通状態となり、このFET17、19のそれぞれのドレイン・ソース間が短絡する。一方、ピンチオフ電圧V_pのゲート制御電圧V_{G2}、V_{G3}を供給することにより、非導通状態となって、このFET17、19のそれぞれのドレイン・ソース間が開放状態となる。

【0016】従って、上記ゲート制御電圧についてV_{G2}=V_{on}、V_{G3}=V_pとしたとき、発振用FET3のソースと接地との間の全体の増速容量C_fは、第1増速容量6のみが有効となり、C_f=C₁となる。また、上記において、V_{G2}=V_p、V_{G3}=V_{on}としたときは、第2増速容量18のみが有効となり、全体の増速容量C_fは、C_f=C₂となり、更にV_{G2}=V_{G3}=V_{on}とすれば、両方が有効となって、C_f=C₁+C₂となる。

【0017】実施形態では、上記C₁、C₂を、C₂<C₁<C₁+C₂となる様に設定しており、上記共振回路16の共振周波数が、例えばf₁、f₂、f₃(f₁<f₂<f₃)の3通りに選択される場合には、C_f=C₁のとき周波数f₂、C_f=C₂のとき周波数f₃、C_f=C₁+C₂のとき周波数f₁で回路が共振に発振するような様に設定される。このようにして、第1例は、上記図6に示すコルピットの基本共振回路が形成される。

【0018】上記第1例の構成によれば、まず外付けの共振回路16でf₂の共振周波数を選択した場合は、ゲート制御電圧端子20、21から、V_{G2}(ゲート制御電圧)=V_{on}、V_{G3}=V_pが供給され、第1増速容量6の容量値C₁と内部容量値C₀₅の存在により、周波数f₂において最適な発振状態が得られる。また、f₃の共振周波数を選択した場合は、ゲート制御電圧端子20、21から、V_{G2}=V_p、V_{G3}=V_{on}が供給され、第1増速容量18の容量値C₂と内部容量値C₀₅の存在により、周波数f₃において最適な発振状態が得られ、f₁の共振周波数を選択した場合は、V_{G2}=V_{G3}=V_{on}が供給され、両方の増速容量値C₁+C₂と内部容量値C₀₅の存在により、周波数f₁において最適な発振状態が得られる。

【0019】図2には、実施形態の第2例に係るMMIC化発振回路の構成が示されており、この第2例は3つの増速容量を積極的に使用できるようにしたものである。基本的な構成は、第1例と同様であり、この第1例の構成に加えて、発振用FET3のソースと接地との間に、容量値C₃の第3増速容量26と第3スイッチ用FET27を、他の増速容量6、18及びスイッチ用FET17、19と並列関係に配置する。そして、上記第3スイッチ用FET27のゲートに、制御電圧V_{G4}を与えるゲート制御端子28が設けられ、ドレインには、チャックコイル29が配置される。

【0020】上記第2例の構成によれば、スイッチ用FET17、19、27の導通・非導通の動作により、全体の増速容量C_fをC₁、C₂、C₃、C₁+C₂、C₂+C₃、C₁+C₃、C₁+C₂+C₃の7通りに設定することができ、少なくとも7つの共振周波数において最適な発振状態を得ることができる。なお、この第2例と同様に、上記増速容量及びスイッチ用FETを4個以上配置し、数多くの周波数に対し最適発振状態を得ることも可能である。

【0021】図3には、実施形態の第3例に係るMMIC化発振回路の構成が示されている。この第3例では、第1増速容量6と第2増速容量18を設けるが、この第2増速容量18のみにスイッチ用FET19(及びチャックコイル23)を配置し、このスイッチ用FET19にゲート制御電圧V_{G2}を与えるゲート制御電圧端子30を設けたものである。

【0022】この第3例によれば、スイッチ用FET19の導通・非導通の動作により、増速容量C_fをC₁、C₁+C₂の2つの値に設定することができ、2つの共振周波数において最適な発振状態を得ることができる。

【0023】図4には、実施形態の第4例のMMIC化発振回路の構成が示されており、この例では、第1増速容量6を直接接地し、この第1増速容量6を切り替えるように、スイッチ用FET31及びゲート制御電圧端子32を配置する。

(4)

特開平10-209752

6

【0024】これによれば、スイッチ用FET31が非導通状態のとき、容量値C1に基づいた共振回路として動作するが、スイッチ用FET31が導通状態のときは、共振用FET3のソースは直接接地されるため共振が停止することになる。

【0025】上記実施形態例では、共振用FET3のソース側に容量値(6, 18, 26)及びスイッチ用FET(17, 19, 27, 31)を配置した例を示したが、これらの部材を共振用FET3のドレイン側に配置し、ドレイン側とソース側の配置関係を逆にした構成とすることも可能である。

【0026】

【発明の効果】以上説明したように、本発明によれば、共振用電界効果トランジスタのソース側又はドレイン側に、共振容量を形成するマイクロ波共振回路化共振回路において、共振容量と共に少なくとも一つのスイッチ用トランジスタを配置し、ゲート制御電圧を制御して上記共振容量値を変化させるようにしたので、共振周波数を広い周波数範囲で選択する場合でも、選択した周波数で最適な共振状態が得られ、それぞれの共振周波数帯で安定した共振が実現できるという利点がある。

*【図面の簡単な説明】

【図1】本発明の実施形態の第1例に係るマイクロ波共振回路化共振回路の構成を示す回路図である。

【図2】実施形態の第2例に係る共振回路の構成を示す回路図である。

【図3】実施形態の第3例に係る共振回路の構成を示す回路図である。

【図4】実施形態の第4例に係る共振回路の構成を示す回路図である。

【図5】従来のマイクロ波共振回路化共振回路の構成を示す回路図である。

【図6】コルピツの基本共振回路の構成を示す回路図である。

【符号の説明】

1, 16 ... 共振回路。

2 ... 外付け用端子。

3 ... 共振用FET。

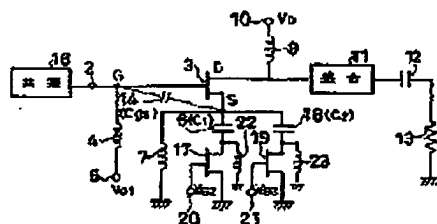
6, 18, 26 ... 共振容量。

11 ... 整合回路。

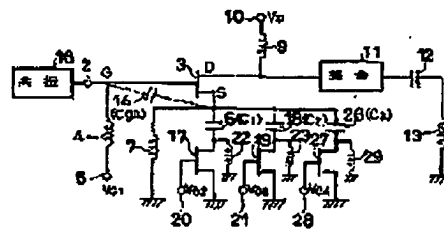
14 ... ゲート・ソース間内部容量。

* 17, 19, 27, 31 ... スwitch用FET。

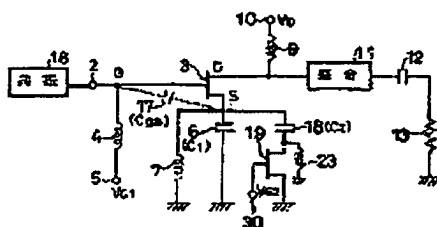
【図1】



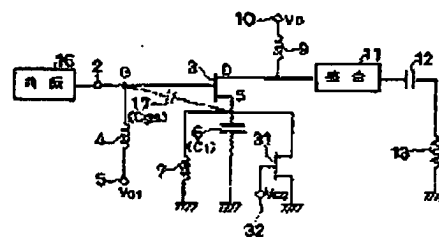
【図2】



【図3】



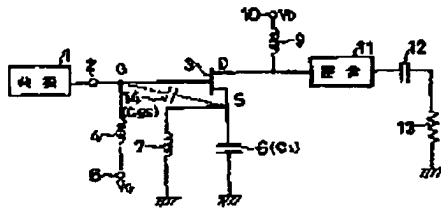
【図4】



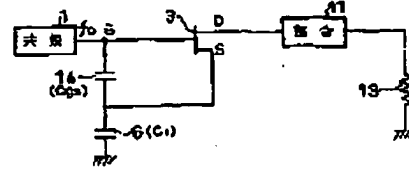
(5)

發明平 10-209752

【圖5】



【圖6】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.